



Karlsruher Institut für Technologie

Institut für Technische Informatik

Lehrstuhl für Rechnerarchitektur und Parallelverarbeitung

Prof. Dr. rer. nat. Wolfgang Karl

# **Klausur Rechnerstrukturen**

## **Sommersemester 2016**

### **Aufgabenteil**

24. August 2016

---

**Aufgabe 1: Sprungvorhersage und Fehlertoleranz** **11 P****Sprungvorhersage** **6 P**

- a) In welcher Phase einer superskalaren Pipeline wird die Sprungvorhersage üblicherweise durchgeführt? *1 P*
- b) Erläutern Sie den Unterschied zwischen Prädiktion (engl. prediction) und Prädikation (engl. predication). *2 P*
- c) Gegeben seien zwei (1,1)-Korrelationsprädiktoren mit jeweils einem eigenen Branch History Register für zwei bedingte Sprünge  $S1$  und  $S2$ , deren Sprungverlauf mittels eines Profiling-Laufs erfasst wurde. Die Schieberegister seien mit *Not Taken*, die verwendeten 1-Bit-Prädiktoren jeweils mit *Taken* initialisiert. Füllen Sie die auf dem Lösungsblatt angegebene Tabelle aus und kennzeichnen Sie den jeweils ausgewählten Prädiktor deutlich. *3 P*

**Fehlertoleranz** **5 P**

- d) Gegeben sei ein 2-aus-3 System mit den Komponenten  $K1$ ,  $K2$  und  $K3$ . Geben Sie das Zuverlässigkeitsblockdiagramm und den Fehlerbaum für dieses System an. Vereinfachen Sie bei der Erstellung des Fehlerbaums so weit wie möglich. *2 P*
- e) Um welche Art von System handelt es sich, wenn drei der fünf vorhandenen gleichartigen Komponenten gleichzeitig ausfallen dürfen, ohne dass es zu einem Systemausfall kommt? *0,5 P*
- f) Geben Sie die allgemeine Formel für die Punktverfügbarkeit  $V$  eines Systems, das wieder instand gesetzt werden kann, an. *1 P*
- g) Was wird mit der sogenannten Badewannenkurve angegeben und in welche Phasen lässt sich diese einteilen. Geben Sie zusätzlich die charakteristische Eigenschaft der unterschiedlichen Phasen an. *1,5 P*

## Aufgabe 2: VLIW und Superskalartechnik

9 P

### VLIW

5 P

- a) Es stehen zwei VLIW-Prozessoren zur Verfügung. Das System A hat zwei universell einsetzbare Funktionseinheiten und eine VLIW-Breite von zwei Befehlen. Das System B hat drei spezifische Funktionseinheiten, wobei eine für Integer-Operationen, eine für Gleitkommaoperationen und die letzte für Speicherzugriffoperationen zuständig ist. System B kann somit drei Befehle innerhalb eines Wortes zur Verfügung stellen. Nehmen Sie vereinfachend an, dass alle Befehle innerhalb eines Taktzykluses abgearbeitet werden können.

```

1  fpmul f1, f3, f2 ; f1 = f3 · f2
2  ld r2, [r1]      ; load r2 from mem[r1]
3  ld r4, [r3]      ; load r4 from mem[r3]
4  add r5, r2, r4   ; r5 = r2 + r4
5  fpsub f4, f1, f5 ; f4 = f1 - f5
6  ld r6, [r5]      ; load r6 from mem[r5]
7  sub r8, r6, r4   ; r7 = r6 - r4
8  st [r1], r5      ; store r5 to mem[r1]
9  fpadd f6, f4, f1 ; f6 = f4 + f1
10 st [r2], r8      ; store r8 to mem[r2]
```

Tragen Sie die obigen Befehle möglichst kompakt in den jeweiligen Ablaufplan auf dem Lösungsblatt ein. Für welches System würden Sie sich entscheiden, wenn obiger Programmcode als Referenz dient?

### Superskalartechnik

4 P

- b) Welche Einschränkung skalarer Pipelines bzgl. der Instruktionen pro Zyklus (IPC) wird u.a. durch die Superskalartechnik behoben? 1 P
- c) Wozu dient der Rückordnungspuffer einer superskalaren Pipeline? 1 P
- d) Welche Abhängigkeiten werden durch die Registerumbenennung aufgelöst? Geben Sie ein Code-Beispiel in Assembler an, bei dem eine Registerumbenennung nützlich ist. 2 P

## Aufgabe 3: Caches

16 P

First-level Instruktions-Caches werden oft als Direct-Mapped Caches ausgelegt. Dies liegt neben der schnelleren Zugriffszeit bei einem Treffer auch an der besseren Treffer-rate im Zusammenhang mit Schleifenkonstrukten gegenüber Satz-assoziativen Caches.

- a) Nehmen Sie für diese Teilaufgabe einen Cache, der 4 Zeilen aufnehmen kann, und folgendes sich wiederholendes Zugriffsmuster  $(0, 1, 2, 3, 4, 5)^{10}$  einer Schleifenkonstruktion, d.h. das Zugriffsmuster wiederholt sich 10 mal, an. 6 P

Zählen Sie die Gesamtzahl an Fehlzugriffen für folgende Caches: Direct-Mapped, Voll-assoziativ mit LRU Strategie sowie Voll-assoziativ mit LIFO (Last In First Out) Strategie. Gehen Sie davon aus, dass die Caches initial leer sind.

Die im Lösungsblatt angegebenen Tabellen können Sie zur Lösung der Aufgabe zur Hilfe nehmen.

*Hinweise:* Die letzten 2 Bits der Block-Adresse geben die Cache-Zeile im Direct-Mapped Fall an.

- b) Geben Sie für die in der vorherigen Aufgabe ermittelte Gesamtzahl an Fehlzugriffen für jeden Cache an, wie viele Fehlzugriffe durch einen Cold Miss entstanden, wie viele durch einen Capacity Miss und wie viele durch einen Conflict Miss. Erklären Sie auch kurz die unterschiedlichen Fehlzugriffsarten. 6 P

Ein Dreiprozessorsystem sei speichergekoppelt. Die Caches haben je eine Größe von zwei Cache-Zeilen, welche je genau ein Speicherwort aufnehmen können. Die Füllung des Caches erfolgt von der niedrigsten Cache-Zeile aufwärts, sofern noch freie Zeilen zur Verfügung stehen, andernfalls wird gemäß FIFO-Strategie verdrängt. Als Cache-Kohärenzprotokoll komme das aus der Vorlesung bekannte MESI-Protokoll zum Einsatz. Der Cache sei initial leer.

- c) Vervollständigen Sie die auf dem Lösungsblatt angegebene Tabelle: Geben Sie jeweils Inhalt der Cache-Zeile und MESI-Zustand an. 4 P

---

## Aufgabe 4: Hardware-Entwurf, Fertigungskosten und 14 P VHDL

### Hardware-Entwurf 6 P

- a) Nennen Sie zwei aktuelle technische Herausforderungen, die heutzutage beim Hardwareentwurf auftreten. Erläutern Sie die beiden Herausforderungen kurz. 2 P
- b) Erläutern Sie die zwei grundlegenden Befehlssatzarchitekturen und beschreiben Sie diese. 3 P
- c) Welche zwei Vorgehensweisen existieren beim Hardware-Entwurf? 1 P

### Fertigungskosten 2 P

- d) Aus welchen Teilen setzen sich die Herstellungskosten eines integrierten Schaltkreises ( $cost_{IC}$ ) zusammen? Geben Sie bitte eine passende Formel mit an! 1 P
- e) Wieso sind größere Wafer besser für den Fertigungsprozess? Worauf ist diese Beobachtung zurückzuführen? Hinweis: Beachten Sie hierbei, wie sich die Kenngröße Dies per Wafer ( $dpw$ ) zusammensetzt. 1 P

### VHDL 6 P

- f) Geben Sie eine Beschreibung in VHDL an, die ein Laufflicht realisiert. 6 P  
Hierfür sollen Sie zunächst die dazugehörige Entity anfertigen. Die Ausgabe erfolgt dabei auf 8 LEDs.

Zur Realisierung der Schaltung steht bereits eine existierende Komponente (*clockdivider*) zur Verfügung. Diese ermöglicht die Reduzierung der Eingabefrequenz. Realisieren Sie die Laufflichtschaltung mittels eines Schieberegisters.

Vervollständigen Sie die gegebene Code-Schablone und achten Sie dabei auf eine sinnvolle Benennung der Bezeichner!

---

## Aufgabe 5: Low-Power-Entwurf und Leistungsbewertung 10 P

### Low-Power-Entwurf 7 P

Gegeben seien baugleiche UND-Gatter mit  $\mathbb{P}_{\text{Eingang}=1} = \mathbb{P}_{\text{Eingang}=0} = 0,5$  in zwei verschiedenen Verschaltungen, die Sie auf dem Aufgabenteil finden.

- a) Geben Sie die allgemeine Formel zur Berechnung von Schaltwahrscheinlichkeiten sowie die Formel zur Berechnung der Leistungsaufnahme  $\mathbb{P}_{\text{total}}$  in CMOS-Schaltungen an. Welcher Bestandteil der Leistungsaufnahme war früher vernachlässigbar, spielt heute jedoch eine zentrale Rolle? Begründen Sie diesen Bedeutungszuwachs. 2 P
- b) Vergleichen Sie die gegebenen Verschaltungen hinsichtlich der zu erwartenden Durchlaufzeit, der zu erwartenden Leistungsaufnahme und der Schaltwahrscheinlichkeit der Gesamtschaltung. Die Schaltwahrscheinlichkeiten sind dabei explizit zu berechnen. Begründen Sie die angestellten Vergleiche. 5 P

### Leistungsbewertung 3 P

- c) Nennen Sie das Gesetz von Little. Erläutern Sie die Bedeutung der einzelnen Bestandteile bzw. Variablen. 2 P
- d) Welche wichtige Voraussetzung ist für dieses Gesetz zu treffen und warum? 1 P



Karlsruher Institut für Technologie

Institut für Technische Informatik

Lehrstuhl für Rechnerarchitektur und Parallelverarbeitung

Prof. Dr. rer. nat. Wolfgang Karl

# Klausur Rechnerstrukturen

## Sommersemester 2016

### Lösungsteil

Name: \_\_\_\_\_

Vorname: \_\_\_\_\_

Matrikelnummer: \_\_\_\_\_

Tragen Sie bitte auf jedem Blatt Ihren Namen und Ihre Matrikelnummer ein. Bitte tragen Sie alle Lösungen und Rechenwege an den vorgesehen Stellen ein und geben Sie keine zusätzlichen Blätter ab, ohne dies dem Aufsichtspersonal mitzuteilen.

**Hinweis:** Bei Rechenaufgaben ist die Angabe des Rechenwegs zwingend erforderlich. Ergebnisse ohne Rechenweg werden **nicht** gewertet.

Zum Bestehen der Klausur sind mindestens 20 Punkte erforderlich.

( ) Ich wünsche **keine** Notenveröffentlichung über einen anonymisierten Code auf der Website des Lehrstuhls.

*(Bei Ankreuzen kann die Note erst in der Klausureinsicht erfragt werden.)*

Erreichte Punkte (wird vom Institut ausgefüllt):

Aufgabe	1	2	3	4	5
Punkte	/11	/9	/16	/14	/10
				Summe:	/60

**Aufgabe 1: Sprungvorhersage und Fehlertoleranz****11 P****Sprungvorhersage****6 P**

a) Antwort:

*1 P*

b) Antwort:

*2 P*

c) Tabelle:

*3 P*

	Prädiktor 1	S1		Prädiktor 2	S2	
		Vhs.	Sprung		Vhs.	Sprung
1	( T , T )		T	( T , T )		T
2	( , )		NT	( , )		T
3	( , )		NT	( , )		NT
4	( , )		T	( , )		NT
5	( , )		NT	( , )		T
6	( , )		T	( , )		NT

**Fehlertoleranz****5 P**

d) Zuverlässigkeitsblockdiagramm:

*2 P*

Fehlerbaum:

e) Antwort:

*0,5 P*

f) Formel:

*1 P*

g) Antwort:

*1,5 P*

**Aufgabe 2: VLIW und Superskalartechnik****9 P****VLIW****5 P**

a) VLIW-Prozessoren:

*5 P*

Slot 1	Slot 2

System A

Integer	Gleitkomma	Load/Store

System B

Entscheidung:

**Superskalartechnik****4 P**

b) Einschränkung:

*1 P*

c) Antwort:

*1P*

d) Abhängigkeiten:

*2P*

**Aufgabe 3: Caches****16 P**

a)

6 P

Direct Mapped:

Durchlauf #	1				2				3				4			
Block Adresse																
Cache-Zeile 0																
Cache-Zeile 1																
Cache-Zeile 2																
Cache-Zeile 3																
Fehlzugriffe																

- Anzahl an Cache Fehlzugriffen:

Voll-assoziativ mit LRU:

Durchlauf #	1				2				3				4			
Block Adresse																
Cache-Zeile 0																
Cache-Zeile 1																
Cache-Zeile 2																
Cache-Zeile 3																
Fehlzugriffe																

- Anzahl an Cache Fehlzugriffen:

Voll-Assoziativ mit LIFO:

Durchlauf #	1				2				3				4			
Block Adresse																
Cache-Zeile 0																
Cache-Zeile 1																
Cache-Zeile 2																
Cache-Zeile 3																
Fehlzugriffe																

- Anzahl an Cache Fehlzugriffen:



c)

4P

Proz.	Aktion	Proz. 1		Proz. 2		Proz. 3	
		Zeile 1	Zeile 2	Zeile 1	Zeile 2	Zeile 1	Zeile 2
-	init	-	-	-	-	-	-
3	wr 2						
1	rd 2						
2	rd 3						
3	rd 4						
2	rd 2						
3	wr 2						
3	rd 3						
1	rd 1						
1	wr 3						
3	wr 6						

---

## Aufgabe 4: Hardware-Entwurf, Fertigungskosten und 14 P VHDL

Hardware-Entwurf 6 P

a) Technische Herausforderungen: 2 P

- 
- Beschreibung:

- 
- Beschreibung:

b) Befehlssatzarchitekturen: 3 P

- 
- Beschreibung:

- 
- Beschreibung:

c) Vorgehensweisen Hardware-Entwurf 1 P

- 
- 

Fertigungskosten 2 P

d) 1 P

e)

1P

## VHDL

6P

f)

6P

```

----- is
PORT(
    clk : in std_logic;
    ----- : out -----
);
END -----;

----- of ----- is

COMPONENT clockdivider
PORT(
    clkin_in : in std_logic;
    clkdv_out : out std_logic;
);
END COMPONENT;

-----
-----

BEGIN
    ----- : -----
    ----- (
        clkin_in => -----,
        clkdv_out => -----,
    );

    ----- : PROCESS -----
BEGIN
    IF (-----) THEN
        -----
    END IF;
END -----

END -----;

```

## Aufgabe 5: Low-Power-Entwurf und Leistungsbewertung

10 P

### Low-Power-Entwurf

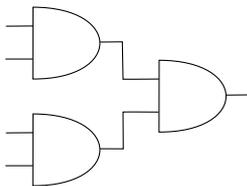
7 P

a)

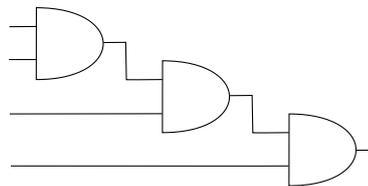
2 P

- Schaltwahrscheinlichkeit:
- Leistungsaufnahme:
- Bestandteil:
- Begründung:

b) Verschaltung 1



Verschaltung 2



5 P

- Durchlaufzeit (mit Begründung):
- Leistungsaufnahme (mit Begründung):

- Schaltwahrscheinlichkeit (mit Berechnung):

**Leistungsbewertung****3 P**

- c) Gesetz von Little und Erklärung:

*2 P*

- d) Voraussetzung und Begründung:

*1 P*